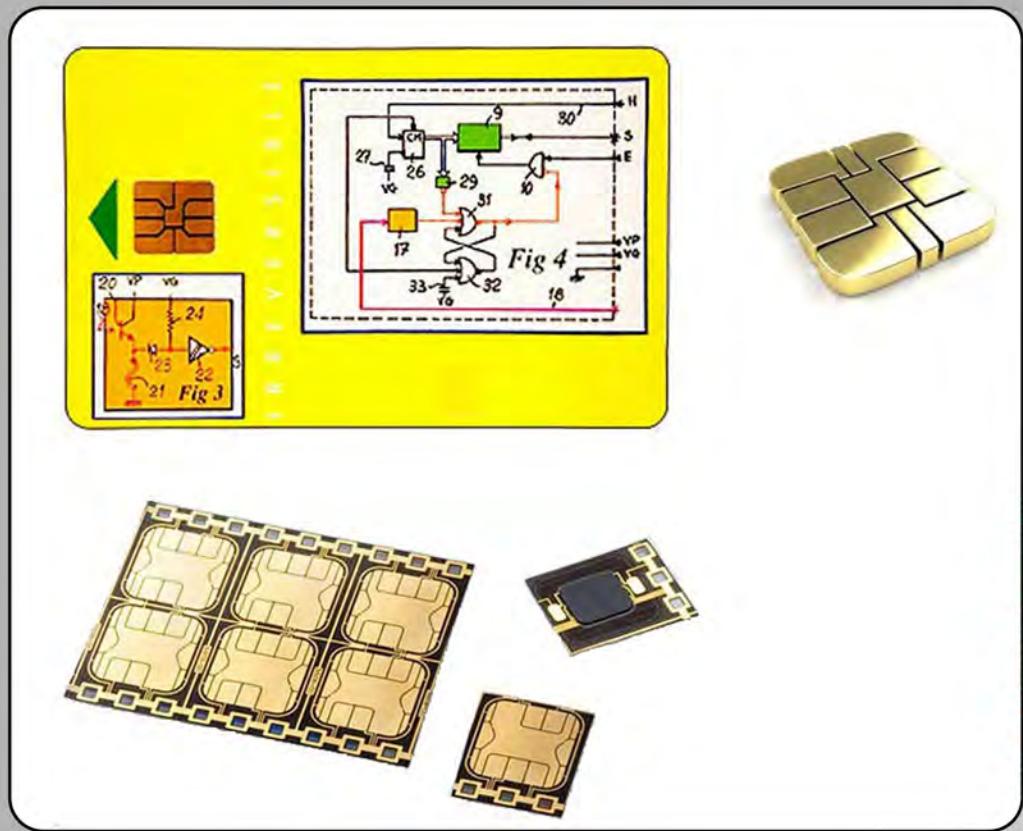




# اصول طراحی

## کارتهای اعتباری

### با تراشه هوشمند



دکتر محمد جعفر تقی زاده



بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ



# اصول طراحی کارتهای اعتباری

## با تراشه هوشمند

تألیف :

دکتر محمد جعفر تقی زاده  
عضو هیات علمی دانشگاه آزاد اسلامی واحد مهریز



انتشارات موجک



سروش اساهه	تلقی زاده، محمد جعفر، ۱۳۵۱.
عنوان و نام پدیدآور	اصول طراحی کارتهای اعتباری با تراشه هوشمند / تالیف دکتر محمد جعفر تلقی زاده.
مشخصات نشر	تهران: انتشارات موجک، ۱۳۹۵
مشخصات ظاهری	۱۷۱ ص؛ مصور (بخشی رنگی)، جدول، نمودار (بخشی رنگی)، وزیری.
شابک	۰-۵-۸۳۰۷-۶۰۰-۹۷۸-۲۰۰۰۰ ریال.
وضعیت فهرست نویسی	فیبا
یادداشت	کتابنامه: ص. [۱۶۹] - ۱۷۳.
موضوع	کارت‌های اعتباری
موضوع	Credit cards :
موضوع	تراشه‌های برنامه‌پذیر اف. بی. جی. ا
موضوع	Field programmable gate arrays :
رده بندی کنگره	HG ۳۷۵۵ / ۷ / ۶ الف ت ۷ / ۱۳۹۵
رده بندی دیوبی	۳۳۲/۷۶۵ :
شماره کتابشناسی ملی	۴۲۷۴۹۱۴ :

### انتشارات موجک

مدیر مسئول : دکتر مجید رستمی بشمنی  
 تلفن مرکز پخش : ۰۹۰۱۷۶۷۲۵۰۲ - ۰۲۱۶۶۱۲۷۵۹۳  
 Email : [mojakpublication@yahoo.com](mailto:mojakpublication@yahoo.com)  
 Web : [www.mojak.ir](http://www.mojak.ir)



عنوان : اصول طراحی کارتهای اعتباری با تراشه هوشمند

تالیف : دکتر محمد جعفر تلقی زاده

طراح جلد: سیده زهرا روشنایی

مشخصات ظاهری : ۱۷۱ صفحه، قطع وزیری

چاپ اول : تابستان ۱۳۹۵

تیراژ : ۱۰۰۰ جلد - قیمت : ۲۰۰۰۰ ریال

شابک : ۰-۵-۸۳۰۷-۶۰۰-۹۷۸

حقوق چاپ و نشر برای ناشر محفوظ است.

تقديم به

ساحت مقدس حضرت بقيه الله اعظم (ع)



## فهرست مطالب

عنوان	صفحه
سخن مولف	۱
فصل اول: استانداردها، پروتکل‌ها و استانداردهای کارت اعتباری	۳
۱-۱ مقدمه	۳
۱-۲ انواع کارت و تقسیم بندی کارت‌ها بر حسب نوع تراشه	۴
۱-۳ تقسیم بندی کارتها بر حسب روش ارتباط کارت و ترمینال	۸
۱-۴ استانداردها	۹
۱-۴-۱ استانداردهای ISO / IEC	۹
۱-۴-۲ استانداردهای CEN	۱۱
۱-۴-۳ استانداردهای EMV	۱۱
۱-۴-۴ استانداردهای ETSI	۱۲
۱-۴-۵ استانداردهای GSM	۱۲
۱-۵ پروتکل‌های ارتباطی	۱۲
۱-۶ سیستم عامل کارت هوشمند	۱۵
۱-۷ سیستم عامل کارت‌های با کاربرد خاص	۱۸
۱-۸ سیستم‌های عامل کارت‌های چند کاربردی	۱۸
۱-۹ گواهی‌های امنیتی	۲۲
۱-۱۰ ترمینال‌های کارت هوشمند	۲۲

۲۵.....	<b>فصل دوم: ساختار داده در SMART CARD</b>
۲۶.....	۱-۲ مقدمه
۲۶.....	۲-۲ شکل و ترتیب پایه‌ها در کارت هوشمند
۲۸.....	۳-۲ ساختار داخلی کارت هوشمند
۲۸.....	CPU ۱-۳-۲
۲۹.....	RAM ۲-۳-۲
۲۹.....	EPROM ۳-۳-۲
۲۹.....	EEPROM ۴-۳-۲
۲۹.....	۵-۳-۲ کمک پردازنده (CO PROCESSOR)
۲۹.....	۴-۲ انتقال اطلاعات بین کارت و کارت خوان
۳۱.....	۵-۲ ساختار قاب
۳۲.....	۶-۲ تشخیص خطأ و تکرار قاب
۳۳.....	۷-۲ فرمان
۳۳.....	۱-۷-۲ ساختمان فرمان
۳۶.....	۸-۲ پاسخ
۳۶.....	۹-۲ ساختار فایل و داده
۳۷.....	۱-۹-۲ ساخت فایلهای اولیه
۳۸.....	۱۰-۲ انواع اجازه دستیابی به فایل
۳۹.....	۱۱-۲ دوره عمر کارت
۳۹.....	۱۱-۲ ساخت فیزیکی کارت
۴۰.....	۱۱-۲ راه اندازی اولیه
۴۰.....	۱۱-۲ خصوصی سازی
۴۰.....	۱۱-۲ مرحله استفاده توسط مصرف کننده
۴۰.....	۱۲-۲ مقدمه‌ای بر رمزگاری کارت‌های هوشمند

۴۳.....	<b>فصل سوم: طراحی 16 BIT PIPELINE RISC CPU</b>
۴۳.....	<b>۱-۳ مقدمه</b>
۴۳.....	<b>۲-۳ پردازنده با مجموعه دستورالعملهای پیچیده (CISC)</b>
۴۴.....	<b>۳-۳ پردازنده با مجموعه دستورالعملهای کاهش یافته: (RISC)</b>
۴۴.....	<b>۴-۳ اختلاف در معماری پردازنده‌های CISC و RISC</b>
۴۶.....	<b>۵-۳ پردازنده با خط لوله خطی</b>
۴۶.....	<b>۱-۵-۳ مدل آسنکرون</b>
۴۶.....	<b>۲-۵-۳ مدل سنکرون</b>
۴۸.....	<b>۳-۳ پردازنده با خط لوله غیر خطی</b>
۵۰.....	<b>۷-۳ آنالیز تأخیر</b>
۵۱.....	<b>۸-۳ راندمان یک پردازنده</b>
۵۱.....	<b>۱-۸-۳ وا استگی داده‌ها</b>
۵۵.....	<b>۲-۸-۳ تأثیر دستورات پرش</b>
۵۷.....	<b>۱-۲-۸-۳ پیشگویی پرش</b>
۵۷.....	<b>۲-۲-۸-۳ خط لوله دوگانه</b>
۵۸.....	<b>۳-۲-۸-۳ پرش تأخیر یافته</b>
۵۸.....	<b>۹-۳ طراحی پردازنده</b>
۵۹.....	<b>۱۰-۳ دستورالعملها</b>
۶۰.....	<b>۱۱-۳ معماری پردازنده RISC طراحی شده</b>
۶۲.....	<b>۱۲-۳ خط لوله در پردازنده طراحی شده</b>
۶۳.....	<b>۱-۱۲-۳ دستورات ADD و SUB و AND و OR و XON و NOT و LSL و ASR و LSR</b>
۶۵.....	<b>۲-۱۲-۳ دستورات ASIR , LSIL , LSIR , SUBI , ADDI</b>
۶۵.....	<b>۳-۱۲-۳ دستورات LDIH , LDIL</b>

۶۶	LDW دستور ۱۳-۳
۶۷	STW دستور ۱-۱۳-۳
۶۸	ORB و ANDB و SETB و CLRB دستورات ۲-۱۳-۳
۶۹	MOVCFROM دستور ۳-۱۳-۳
۷۰	MOVCTO دستور ۴-۱۳-۳
۷۱	DES انجام عمل همزدن در ۱۴-۳
۷۳	ساختن فازها ۱۵-۳
۷۵	ROM درگاه ۱۶-۳
۷۸	RAM درگاه ۱۷-۳
۸۲	واحد دیکدر ۱۸-۳
۸۲	DECREG1 ۱-۱۸-۳
۸۴	DECREG2 ۲-۱۸-۳
۸۵	بانک رجیستر ۱۹-۳
۸۶	(SP) اشاره گر پشته ۲۰-۳
۸۷	ALU واحد ۲۱-۳
۸۹	سیستم وقهه ۲۲-۳
۹۳	کاهش مصرف در پردازنده ۲۳-۳
۹۳	سریال ۲۴-۳
۹۴	تایмер ۲۵-۳
۹۴	مراحل طراحی سیستمهای دیجیتال ۲۶-۳
۹۷	فصل چهارم: طراحی حافظه و شبیه سازی آن
۹۷	مقدمه ۱-۴
۹۸	اهمیت و ضرورت تحقیق بر روی حافظه کارت اعتباری ۲-۴

۹۹	۱-۲-۴ طبقه بندی حافظه .....
۱۰۱	۳-۴ معماری حافظه و بلوک های سازنده .....
۱۰۵	۴-۴ مقایسه حافظه های DRAM و SRAM .....
۱۰۶	۴-۵ سلول SRAM .....
۱۰۹	۴-۶ توان مصرفی .....
۱۱۱	۴-۷ منابع تلفات توان در حافظه ها .....
۱۱۱	۴-۸ تکنیک های کاهش توان مصرفی .....
۱۱۲	۴-۸-۱ کاهش توان مصرفی پویا .....
۱۱۲	۴-۸-۱-۱ بهینه سازی اندازه ترانزیستور و اتصالات سطح تراشه .....
۱۱۳	۴-۸-۲ Clock gating .....
۱۱۴	۴-۸-۳ بهینه نمودن ولتاژ تغذیه .....
۱۱۵	۴-۸-۴ کاهش توان پویا در SRAM .....
۱۱۶	۴-۹ مدارهای CMOS پویا .....
۱۱۶	۴-۹-۱ منطق دامینوی CMOS .....
۱۲۱	۴-۱۰-۴ انواع سلولهای SRAM .....
۱۲۱	۴-۱۰-۴-۱ 6T SRAM .....
۱۲۳	۴-۱۰-۴-۲ 6T Single-Ended سلول .....
۱۲۵	۴-۱۰-۴-۳ 8T Dual-Port سلول .....
۱۲۶	۴-۱۰-۴-۴ 10T with Reduced Bitline Leakage سلول .....
۱۲۸	۴-۱۰-۴-۵ 10T with Bit-Interleaving Capability سلول .....
۱۳۰	۴-۱۱-۴ 6T SRAM سلول .....
۱۳۱	۴-۱۲-۴ کاهش توان مصرفی با استفاده از SLEEP KEEPER TRANSISTOR .....
۱۳۳	۴-۱۳-۴ یکی از سلولهای ممتاز طراحی شده .....
۱۳۵	۴-۱۴-۴ تحلیل عملکرد مدار .....

۱۳۵ .....	۱۵-۴ مقایسه سلول‌های حافظه با سلول KEEPER
۱۳۷ .....	۱۶-۴ خلاصه فصل
فصل پنجم: اثر ESD و شبیه سازی آن	
۱۳۹ .....	۱-۵ مقدمه
۱۳۹ .....	۲-۵ درگاه خروجی-ورودی I/O
۱۴۲ .....	۳-۵ شبیه سازی اثر ESD
۱۴۲ .....	۴-۵ شبیه سازی و مدل سازی اثر دشارژ الکتریکی بدن انسان (HUMAN BODY MODEL)
۱۴۳ .....	۵-۵ مدل ماشین یا مدل دستگاه‌های خارجی (MM)
۱۴۴ .....	۶-۵ مدل‌های ESD شارژ مدار (CDM)
۱۶۳ .....	نتیجه گیری
۱۶۷ .....	مراجع

## سخن مولف

با افزایش تقاضا برای استفاده از کارتهای اعتباری تحولات ساختاری بسیاری در سخت افزار و نرم افزار کارتها پدید اورده است مبحث امنیت و سرعت انتقال داده و درگاه ورودی و خروجی و توان مصرفی و هزینه تمام شده هر تراشه به عنوان یکی از فاکتورهای مهم در توسعه استفاده از آن می‌باشد. در این کتاب قسمتهای مهم کارت اعتباری مورد بحث و بررسی و شبیه سازی قرار گرفته است. و چالش‌های سد راه تا حدودی برطرف گردیده است.

در فصل اول ساختار کلی کارت و استانداردها و پروتکل‌های ارتباطی مورد بررسی قرار گرفته و طی جداولی هر یک از محصولات ارائه شده را مقایسه گردیده است. در فصل دوم ساختار فیزیکی و نحوه انتقال دیتا از ترمینال به کارت بررسی شده است. در فصل سوم یک پردازنده ۱۶ بیتی با مجموعه دستور العملهای کاهش یافته طراحی شده و در جهت کاهش مصرف توان و افزایش سرعت از پردازنده‌های خطوط لوله استفاده گردیده است. با توجه به حجم بودن این مبحث کارتهای اعتباری سعی گردیده است قسمتهایی از آن فقط بررسی و تحلیل و قسمتهای مهم آن طراحی و آنالیز و شبیه سازی شود. فصل چهارم حافظه SRAM که حجم بزرگی از سلول کارت اعتباری را اشغال می‌کند. و توان مصرفی بالائی از کارت اعتباری را تلف می‌کند مورد نقد و بررسی قرار گرفته است. در فصل پنجم اتصال I/O مورد بررسی قرار گرفته است. و اثر ESD که خود به عنوان یک حمله فیزیکی مطرح می‌باشد شبیه سازی و مورد نقد قرار گرفته است. و همچنین یک مدار بهینه ابتکاری محافظت اثر ESD پیشنهاد و شبیه سازی شده است.

دکتر محمد جعفر تقی زاده

بهار ۱۳۹۵



انتشارات موج

ISBN: 978-600-8307-52-5



9 78600 307525